

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

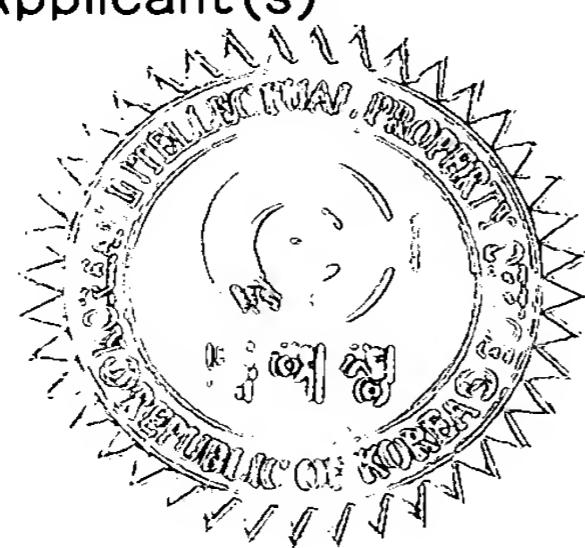
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0043989
Application Number

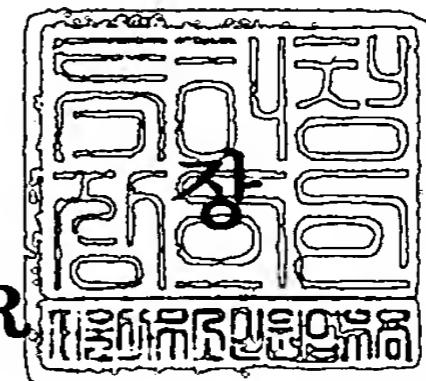
출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 08 월 04 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0018
【제출일자】	2003.06.30
【국제특허분류】	G02F 1/13
【발명의 명칭】	폴리실리콘 액정표시소자의 제조방법
【발명의 영문명칭】	FABRICATION METHOD OF POLYCRYSTALLINE SILICON LIQUID CRYSTAL DISPLAY DEVICE
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	남대현
【성명의 영문표기】	NAM, Dae Hyun
【주민등록번호】	711018-1063425
【우편번호】	412-221
【주소】	경기도 고양시 덕양구 행신1동 햇빛마을 2101동 504호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박장원 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 폴리실리콘을 액티브 층으로 사용하는 폴리실리콘 액정표시소자의 제조 방법에 관한 것으로써 특히, 게이트 전극이 채널 층과 오버랩된 구조를 하는 게이트 오버랩드 LDD 구조의 TFT를 소자로 적용하는 폴리실리콘 액정표시소자의 제조 방법에 관한 것이다.

상기의 폴리실리콘 액정표시조자를 제조하기 위하여 제 1게이트 전극을 형성하는 단계, 저농도 불순물 이온을 주입하는 단계, 제 2 게이트 전극을 형성하는 단계, 고농도의 불순물 이온을 주입하는 단계를 포함하는 것을 특징으로 한다. 또한 제 1게이트 전극과 제 2 게이트 전극을 형성할 때 동일한 마스크를 적용하는 것을 특징으로 한다.

상기의 제조 방법을 통하여 사용되는 마스크 수를 줄이는 효과를 얻을 수 있다.

【대표도】

도 2f

【색인어】

LDD, 제 1게이트 전극, 제 2게이트 전극, GOLDD

【명세서】**【발명의 명칭】**

폴리실리콘 액정표시소자의 제조방법{FABRICATION METHOD OF POLYCRYSTALLINE SILICON LIQUID CRYSTAL DISPLAY DEVICE}

【도면의 간단한 설명】

도 1a~1f는 종래의 GOLDD 구조의 액정표시소자의 제조공정을 나타내는 수순도.

도 2a~2g는 본 발명의 GOLDD 구조의 액정표시소자의 제조공정을 나타내는 수순도.

***** 도면의 중요부분에 대한 부호의 설명*****

201:기판 202:버퍼 층

203:액티브 층 204:게이트 절연막

205:제 1게이트 전극 206:제 2금속막

206a:제 2게이트 전극 207:감광막

208:절연막 209:소오스 전극

210:드레인 전극 211:컨택홀

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 폴리실리콘을 박막트랜지스터의 채널로 사용하는 액정표시소자의 제조 방법에 관한 것으로써, 특히 속 채널을 형성하기 위하여 게이트 오버랩드 LDD(gate overlapped lightly

doped drain, 이하 GOLDD)구조의 박막트랜지스터를 포함하는 액정표시소자의 제조방법에 관한 것이다.

<11> 오늘날, 액정표시소자는 영상표시장치들 중에서 가장 각광받는 영상표시소자로써 특히, 화소를 구동하는 구동소자로써 박막트랜지스터를 사용하는 박막트랜지스터 액정표시장치(Thin Film Transistor Liquid Crystal Display, 이하 TFT LCD)가 주목을 받고 있다.

<12> TFT LCD는 기본적으로 화소를 구동하는 소자로써 유리 기판 상에 형성되는 게이트 전극과 상기 게이트 전극을 중심으로 대칭하여 형성되는 소오스, 드레인 전극을 포함하여 구성된다. 게이트 전극의 하방으로는 전자나 전공이 이동하는 채널 층이 형성되어 있는데, 데이터 라인을 통하여 전달되는 데이터 신호가 소오스 전극, 채널 층 드레인 전극을 경유하여 화소전극에 전달되는 일련의 과정을 통해 화소를 구동한다.

<13> 이때, 채널에 전계를 형성하여 전류의 흐름을 온(ON), 오프(OFF)하는 역할을 수행하는 것이 게이트 전극이다.

<14> 단위 화소가 크고 채널의 크기가 클 때는 게이트 전극이 채널 층을 제어하는데 큰 문제가 없으나 고화질의 영상표시장치의 개발하기 위해서는 단위화소의 크기가 절대적으로 작아져야 한다. 단위화소의 크기를 줄이기 위해서는 단위화소를 구동하는 TFT의 크기 또한 줄어들어야 한다.

<15> 그러나, TFT의 크기를 줄이는 과정에서 TFT의 채널의 길이가 작아지게 되는데, 이때 채널을 통하여 핫 캐리어(hot carrier)에 의해 채널 층이 손상을 받게 되거나 핫 캐리어가 게이트 전극에 의해 형성되는 전계에 의해 채널 내에 트랩(trap)됨으로써 소자의 문턱전압(threshold voltage)을 변화시켜 불량을 초래하는 문제가 발생한다.

<16> 상기의 문제를 해결하기 위하여 제안된 소자 구조가 채널 층과 인접한 영역은 저농도의 불순물 층이 형성되게 하고 저농도의 채널영역 외곽으로는 고농도의 불순물 층이 형성되게 한 LDD(light ly doped drain)구조의 액정표시소자 제안되었다. 그러나 상기의 LDD구조의 TFT도 채널의 길이가 더욱 작아지면 여전히 상기의 문제점이 노출되어 더 세미한 솟 채널의 TFT를 형성 하기 위하여 게이트 전극이 채널 층의 일부와 오버랩된 게이트 오버랩드 LDD (gate overlapped LDD, 이하, GOLDD)구조의 TFT가 제안되었다.

<17> GOLDD 구조는 게이트 라인이 채널 층의 일부와 오버랩되고 저농도 불순물 도핑 층이 게이트 전극 아래에 위치하는 구조를 하고 있다.

<18> 이하 도 1a~1f를 참조하여 GOLDD 구조의 TFT를 제조하는 공정을 설명한다.

<19> 도 1a에서 도시된 바와 같이, 유리 재질의 기판(101)을 준비하고, 상기 기판 상에 기판 상에 존재할 수 있는 불순물이 채널 층으로 확산되는 것을 방지하기 위해 주로 실리콘 산화막으로 구성되는 버퍼층(102)을 플라즈마 화학 기상 증착 방식(PECVD)에 의해 형성한다.

<20> 상기 버퍼 층(102)상에 PECVD 방법에 의해 비정질의 실리콘 층을 형성하고 채널 층으로 사용 될 액티브 층(103)을 사진식각 방법을 통해 정의한다.

<21> 상기 공정에서 정의된 액티브 층에 저농도의 불순물을 주입하기 위해 액티브 층 중 채널영역을 감광막으로 가리고 저농도의 불순물 이온을 상기 액티브 층(103)상에 주입한다.

<22> 다음으로 도 1b에서 도시된 바와 같이, 상기 액티브 층(103)상의 감광막(104)를 제거하고 레이저를 비정질의 실리콘 상에 조사하여 비정질 실리콘을 결정화하는 동시에 주입된 불순물 이온들이 격자 내로 잘 침투될 수 있게 활성화시킨다.

<23> 기판으로 유리를 사용하기 때문에 특정 위치를 국소적으로 가열하여 저온에서 결정화가 가능한 레이저 조사에 의한 결정화가 적합하다.

<24> 상기 액티브 층(103)을 결정화 및 활성화시킨 다음, 도 1c에서 도시된 바와 같이, 상기 액티브 층(103)상에 실리콘 산화막 또는 실리콘 질화막으로 구성되는 게이트 절연막(105)를 PECVD방법으로 형성하고 상기 게이트 절연막 상에 게이트 전극과 게이트 라인을 형성하기 위한 도전 층(106)을 스퍼터링 방법에 의해 형성한다.

<25> 게이트 전극을 형성하기 위한 도전 층(106)을 형성한 다음, 상기 도전 층(106)상에 감광막(107)을 코팅하고 사진식각 공정을 통해 패터닝하여 상기 도전 층을 식각함으로써 게이트 전극(106a)을 형성한다.

<26> 이때 상기의 게이트 전극은 액티브 층(103)내에 형성된 채널 층 보다 크게 형성한다.

<27> 다음으로, 도 1e에서 도시된 바와 같이, 상기 게이트 전극을 마스크로 적용하여 고농도의 불순물 이온을 액티브 층(103)에 주입한다. 상기의 공정을 통해 채널 영역에 인접한 액티브 층은 저농도의 불순물이 도핑되게 되고 채널 층에서 이격된 액티브 층은 고농의 불순물 영역이 형성된다. 또한 도 3e에서 도시된 바와 같이, 게이트 전극의 아래의 액티브 층 내에 저농도의 불순물 영역이 위치하게 되어 게이트와 오버랩된 LDD구조의 TFT를 형성할 수 있다.

<28> 고농도의 불순물을 상기 액티브 층(103) 내에 형성한 다음, 도 1f에서 도시된 바와 같이, 상기 게이트 전극(106a) 상에 실리콘 질화막 또는 실리콘 산화막의 절연 층(108)을 형성하고 상기 절연 층(108)상에 소오스 전극(109)과 드레인 전극(110)을 상기 액티브 층(103)과 연결하기 위한 컨택 홀을 형성한다. 상기 컨택 홀이 형성된 상기 절연 층(108)상에 도전 막을 증착하고 패터닝하여 소오스/드레인 전극(109, 110)을 완성한다.

<29> 다음으로, 도면에는 미도시 되었지만 상기 소오스/드레인 전극 상에 실리콘 산화막 또는 실리콘 질화막의 보호막을 형성하고 드레인 전극과 연결되는 화소전극을 더 형성하여 단위 화소를 완성할 수 있다.

<30> 상기에서 살펴 본 바와 같이, 고화질의 액정표시소자를 제조하기 위해 LDD 구조의 TFT를 형성하여야 하는데, 상기 LDD구조의 TFT를 제조하는 공정에서는 액티브 층 내에 저농도의 불순물 이온 영역과 고농도의 불순물 영역을 형성하는 과정에서 서로 다른 마스크를 적용하여 공정 진행하여야 하는데, TFT를 제조하는 공정에서 마스크는 고가의 장비이며 마스크 수를 줄이는 것은 업계의 중요한 관심사항이다.

【발명이 이루고자 하는 기술적 과제】

<31> 그러므로 본 발명은 LDD구조의 TFT를 제조하는 공정에서 마스크 수를 줄여 LDD 구조의 TFT를 구성할 수 있게 함으로써 액정표시소자의 제조 공정을 단순화 하고자 하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<32> 본 발명의 폴리실리콘 액정표시소자의 제조 방법은 기판을 준비하는 단계, 상기 기판 상에 액티브 층을 형성하는 단계, 제 1 도전막을 형성하고 제 1 게이트 전극 패턴을 형성하는 단계, 상기 액티브 층 내로 저농도 불순물 이온을 주입하는 단계, 상기 제 1 게이트 전극 패턴 상에 제 2 도전막을 형성하고 제2 게이트 패턴을 형성하는 단계, 상기 제 2 게이트 전극 패턴이 형성된 액티브 층상에 고농도 불순물 이온을 주입하는 단계, 상기 제 2 게이트 전극 패턴 상에 절연막을 형성하는 단계, 상기 절연막 상에 소오스/드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<33> 본 발명의 폴리실리콘 액정표시소자의 제조 공정을 도 2a~2g를 통하여 상세히 설명한다.

<34> 도 2a에서 도시된 바와 같이, 본 발명의 액정표시소자가 형성될 기판(201)을 준비하고 기판 내에 포함되어 있는 불순물 등이 액티브 층으로 확산하는 것을 방지하기 위하여 실리콘 산화막 성분의 버퍼 층(202)을 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)방법을 통하여 상기 기판 상에 형성한다.

<35> 상기 버퍼 층(202)을 형성한 다음, 상기 버퍼 층(202)상에 비정질의 실리콘 층을 PECVD 방법에 의해 형성하고 상기 비정질 실리콘 층을 결정화한다.

<36> 결정화 방법은 고온 결정화 방법과 저온 결정화 방법으로 크게 구분할 수 있는데, 고온 결정화 방법은 비정질 실리콘 층을 고온의 퍼니스(furnace)내에서 가열하여 결정화를 유도하는 방법이고 저온 결정화 방법은 비정질의 실리콘 층에 고 에너지의 레이저를 순차적으로 가열하여 비정질 실리콘 층을 용융시켜 결정화하는 방법으로 유리를 기판으로 사용하는 본 발명에서 적합한 방법이다.

<37> 유리는 600°C 이상의 고온에서 변형되므로 유리를 기판으로 사용하는 본 발명의 액정표시 소자의 제조 공정에는 적합하지 않을 수 있다. 레이저를 조사함으로써 결정화를 진행시키는 저온 폴리 공정은 600°C 이하의 저온에서도 효과적으로 비정질 실리콘 층을 용융시키고 결정화를 유도할 수 있다.

<38> 비정질의 실리콘의 결정화되는 원리를 간단히 살펴보면, 비정질의 실리콘 층이 용융되면 용융된 실리콘 원자들이 임의로 발생하는 핵을 중심으로 결정 성장하여 단위 결정체를 만들고 상기 단위 결정체들이 경계를 이루며 다결정의 실리콘이 된다. 상기 단위 결정체의 경계 면을

그레인 경계라 부르며 상기 그레인 경계는 소자의 전기 이동도 등의 특성에 중요한 역할을 한다.

<39> 다결정 실리콘 층을 전자가 통과할 때 전자는 그레인 경계를 이동 경로로 하여 움직이는 데 그레인 경계의 이동 경로가 작을수록 전자의 이동도는 향상될 수 있다.

<40> 통상, 비정질 실리콘의 전기 이동도가 $0.1 \sim 0.2 \text{cm}^2/\text{Vsec}$ 이고 일반적인 열처리 방법으로 제작된 다결정 실리콘 박막트랜지스터의 전기적 이동도가 $10 \sim 20 \text{cm}^2/\text{Vsec}$ 정도인데 반해, 엑시머 레이저를 이용하여 제작된 다결정 실리콘 박막트랜지스터의 전기적 이동도는 $100 \text{cm}^2/\text{Vsec}$ 가 넘는 값을 가진다.

<41> 상기의 특성으로 인하여 본 발명에서는 고속의 동작특성을 요하는 영상표시소자의 채널로서 폴리실리콘을 적용한다.

<42> 폴리실리콘 중에서도 수평으로 결정 성장한 폴리실리콘 층을 사용할 수 있는데, 상기 수평으로 성장한 폴리실리콘은 결정화가 수평으로 이루어져 그레인 경계를 최소화한 폴리실리콘으로 전기적 이동도가 더욱 향상되어 고속의 동작을 요하는 소자에 적합하다. 본 발명은 수평으로 성장한 폴리실리콘을 액티브 층으로 적용하여 소자를 형성할 수 있다.

<43> 기판 상에 형성된 비정질의 실리콘 층을 가열 또는 레이저 조사를 통하여 결정화시킨 다음, 상기 폴리실리콘 층을 채널 영역을 포함하는 액티브 층으로 패터닝하는 공정을 진행한다.

<44> 상기 폴리실리콘 층을 액티브 층으로 패터닝하는 공정은 기판 상에 감광막을 형성하는 단계, 상기 감광막에 제 1 마스크를 적용하여 노광하는 단계, 상기 감광막을 현상하는 단계, 상기 패터닝된 감광막을 마스크로 적용하여 상기 폴리실리콘 층을 식각하는 단계, 기판의 세정 단계를 포함하는 일련의 공정을 거쳐 완성된다.

<45> 상기 액티브 층(203)을 완성한 다음, 상기 액티브 층이 형성된 기판 상에 실리콘 질화막 또는 실리콘 산화막으로 이루어지는 게이트 절연막(204)을 형성한다.

<46> 상기 게이트 절연막(204) 상에 게이트 전극과 게이트 라인을 형성하기 위한 제 1 금속막을 형성하고 제 2마스크(미도시)를 적용하여 상기 제 1금속막을 패터닝하여 제 1게이트 전극을 형성한다.

<47> 상기에서 제 1금속막을 제 1게이트 전극으로 형성하는 단계는 감광막 도포 공정, 노광공정, 현상공정, 식각공정, 세정공정을 거치게 되는데, 상기 식각 공정은 등방성 식각특성을 나타내는 습식각을 통하여 형성할 수 있다.

<48> 상기에서 언급하였듯이 습식각은 등방성 식각특성을 나타내기 때문에 제 2 마스크를 적용하여 패터닝된 감광막 아래는 습식각으로 인하여 상기 패터닝된 감광막보다 작은 제 1 게이트 전극(205a)이 형성된다.

<49> 도 2b에서 제 1 게이트 전극(205a) 상에 상기 제 1게이트 전극보다 큰 감광막 패턴(216)이 형성된 모습을 볼 수 있다. 상기에서 제 1게이트 전극 상의 감광막 패턴은 제 2마스크를 적용하여 형성된 것으로써 상기 감광막 패턴과 상기 제 1게이트 전극의 크기차가 곧 액티브 층에 형성될 저농도 불순물 이온의 주입 영역이 된다.

<50> 다음으로, 도 2c에서 도시된 바와 같이, 상기 제 1게이트 전극 상의 감광막(216)을 감광막 스트립 공정을 통하여 제거하고 제 1게이트 전극(205a)을 마스크로 적용하여 저농도의 불순물 이온을 상기 액티브 층(203) 내로 주입시킨다.

<51> 보통, N형의 TFT를 형성하기 위해서는 인(P)등의 5족의 불순물 이온을 주입한다.

<52> 액티브 층(203)의 일부는 제 1게이트 전극(205a)에 의해 가려져 있으므로 불순물 이온은 제 1 게이트 전극(205a)으로 가려지지 않은 액티브 층 내로 주입된다.

<53> 상기 제 1게이트 전극은 액티브 층의 가운데에 위치할 수 있도록 배열을 한다.

<54> 제 1 게이트 전극(205a)을 마스크로 적용하여 저농도의 불순물 이온을 액티브 층(203)에 주입하는 공정 다음으로, 상기 제 1 게이트 전극(205a) 위에 제 2금속막(206)을 스퍼터링 방법에 의해 증착하고(도 3d) 제 1게이트 전극을 패터닝할 때 사용한 제 2 마스크를 적용하고 사진식각 공정을 통하여 상기 제 1 게이트 전극의 양 측면과 상방에 형성되는 제 2 게이트 전극(206a)을 형성한다.(도 2e)

<55> 즉, 제 2 게이트 전극 형성용 금속막을 기판 전면에 형성한 다음, 감광막을 스판 코팅 방법으로 상기 제 2 게이트 전극 형성용 금속막 상에 코팅하고 제 1 게이트 전극을 형성할 때 사용했던 제 2마스크를 적용하여 상기 제 2 게이트 전극 형성용 금속막 상의 감광막에 노광을 실시한다. 노광 공정 다음으로 노광된 감광막을 제거하는 감광막 제거 공정, 상기 패터닝된 감광막을 마스크로 적용하는 식각공정, 식각 후 기판을 세정하는 세정공정을 거쳐 제 2 게이트 전극을 형성한다.

<56> 상기의 결과 형성된 제 2 게이트 전극은 제 1게이트 전극보다 크기 때문에 채널 층의 일부와 오버랩되고 제 1게이트 전극과 함께 게이트 전극을 형성하게 된다.

<57> 상기 제 2게이트 전극(206a)상에 형성되어 있는 감광막(207)을 제거하고 상기 제 2게이트 전극을 마스크로 적용하여 고농도의 불순물 이온을 액티브 층(203)내로 주입한다.

<58> 그 결과, 상기 제 2 게이트 전극으로 가려지는 액티브 영역은 저농도의 불순물이 도핑되고 제 2게이트 전극(206a)에 의해 가려지지 않는 액티브 층(203)은 고농도의 불순물 이온이 주

입되어 LDD 형의 TFT가 형성될 수 있다. 또한, 제 1,2 게이트 전극에 의해 형성되는 게이트 전극 아래에는 채널 층과 저농도의 불순물 이온 주입 층이 존재하게 된다.

<59> 상기 제 1 게이트 전극 및 제 2 게이트 전극을 패터닝할 때 사용한 마스크는 동일한 마스크인데 제 1 게이트 전극을 패터닝할 때는 등방성 식각 특성을 나타내는 습식각을 적용하므로 습식각 때 오버 에치되는 제 1 게이트 전극과 동일한 마스크를 적용하여 형성되는 제 2 게이트 전극의 크기 차이가 저농도 불순물 이온 주입 영역이 된다.

<60> 상기 마스크를 적용하여 제 2 게이트 전극을 형성할 때는 이방성 식각 특성이 우수한 건식각을 적용함이 적당하다. 제 2 게이트 전극을 형성할 때는 게이트 메탈이 측면으로 에치되지 않고 식각 입자가 주입되는 수직 방향으로만 식각되는 것이 좋기 때문이다.

<61> 도 3f는 제 2 게이트 전극(206a)을 마스크로 적용하여 고농도의 불순물이 주입되는 모습을 도시한 것으로써, 제 1 게이트 전극 하부의 액티브 층(203a)은 채널로서 역할을 하며 제 2 게이트 전극과 겹쳐지는 액티브 층(203b)은 저농도의 불순물 이온이 주입된 영역이 되고 게이트 전극과 겹치지 않는 액티브 층(203c)은 고농도의 불순물 이온이 주입되어 LDD 구조가 되며 특히, 상기 제 1 게이트 전극과 제 2 게이트 전극에 의해 채널 층의 일부가 오버랩되는 게이트 오버랩드 LDD(gate overlapped LDD, GOLDD)가 된다.

<62> 다음으로, 도 2g에서 도시된 바와 같이, 상기 제 1 게이트 전극과 제 2 게이트 전극의 결합에 의해 형성되는 게이트 전극 상에 실리콘 질화막 또는 실리콘 산화막의 절연층(208)을 형성한다. 상기 절연층(208)상에 제 3 마스크(미도시)와 사진시각 공정을 통하여 소오스/드레인 전극과 액티브 층을 연결하기 위한 컨택 홀(211)을 형성하고 상기 컨택 홀(211)이 형성된 절연막(208)상에 도전막을 형성한다.

<63> 상기 도전막을 제 4마스크를 적용하고 사진 시각 공정으로 통하여 소오스(209)와 드레인 전극(210)을 형성한다.

<64> 도면에는 도시되지 않았지만 상기 소오스/드레인 전극 상에 실리콘 질화막 또는 실리콘 산화막 성분의 보호막을 형성하고 상기 보호막 상에 드레인 전극과 화소전극을 연결하기 위한 컨택 홀을 형성한 다음, 화소전극 물질을 도포하고 상기 화소전극 물질을 패터닝하여 화소전극을 형성함으로써 단위 화소를 구동하는 TFT를 완성할 수 있다.

【발명의 효과】

<65> 본 발명은 게이트 오버랩드 LDD(GOLDD)구조의 TFT를 형성함에 있어서, 제 1게이트 전극과 제 2게이트 전극을 포함하는 게이트 전극을 형성하는 공정을 통해 LDD 구조의 TFT를 형성하고 또한 제 1게이트 전극과 제 2게이트 전극을 동일한 마스크를 적용하여 형성할 수 있게 함으로써 사용되는 마스크 수를 줄이는 효과를 얻을 수 있다.

【특허청구범위】**【청구항 1】**

기판을 준비하는 단계;

상기 기판 상에 액티브 층을 형성하는 단계;

상기 액티브 층상에 제 1 게이트 전극을 형성하는 단계;

상기 액티브 층 내로 저농도 불순물 이온을 주입하는 단계;

상기 제 1 게이트 전극 상에 제 2 게이트 전극을 형성하는 단계;

상기 제 2 게이트 전극이 형성된 액티브 층상에 고농도 불순물 이온을 주입하는 단계;

상기 제 2 게이트 전극 상에 절연막을 형성하는 단계;

상기 절연막 상에 소오스/드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 2】

제 1항에 있어서, 상기 기판 상에 버퍼 층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 3】

제 1항에 있어서, 상기 폴리실리콘 액정표시소자의 제조 공정은 상기 액티브 층을 형성한 다음으로 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 4】

제 1항에 있어서, 상기 액티브 층을 형성하는 단계는 상기 기판 상에 비정질 실리콘 층을 형성하는 단계;

상기 비정질 실리콘 층상에 레이저를 조사하여 결정화하는 단계;

상기 결정화된 실리콘 층을 액티브 층으로 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 5】

제 1항에 있어서, 상기 제 2게이트 전극은 상기 제 1게이트 전극의 상부와 양 측면에 형성되는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 6】

제 1항에 있어서, 상기 제 1게이트 전극과 제 2 게이트 전극은 동일한 마스크를 적용하여 형성되는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 7】

제 1항에 있어서, 상기 폴리실리콘 액정표시소자의 제조 방법은 상기 소오스/드레인 전극 상에 보호막을 형성하는 단계;

상기 보호막 상에 화소전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

【청구항 8】

제 1항에 있어서, 상기 제 1게이트 전극은 습식각에 의해 형성되고 상기 제 2 게이트 전극은 건식각에 의해 형성되는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.



1020030043989

출력 일자: 2003/8/4

【청구항 9】

제 1항에 있어서, 상기 소오스/드레인 전극을 형성하는 단계는 상기 절연막 상에 컨택홀을 형성하는 단계;

상기 컨택홀이 형성된 상기 절연막 상에 도전막을 형성하는 단계;

상기 도전막을 패터닝하여 소오스/드레인 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

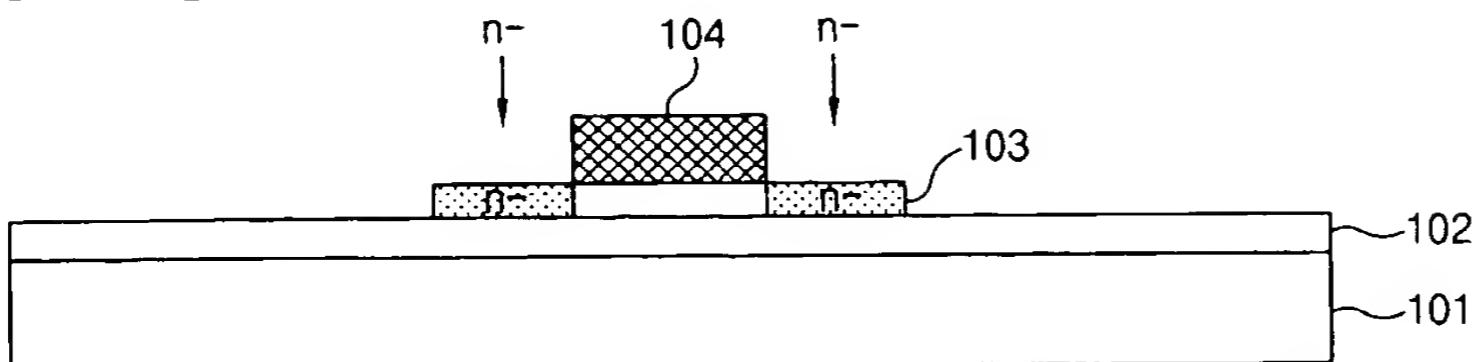


1020030043989

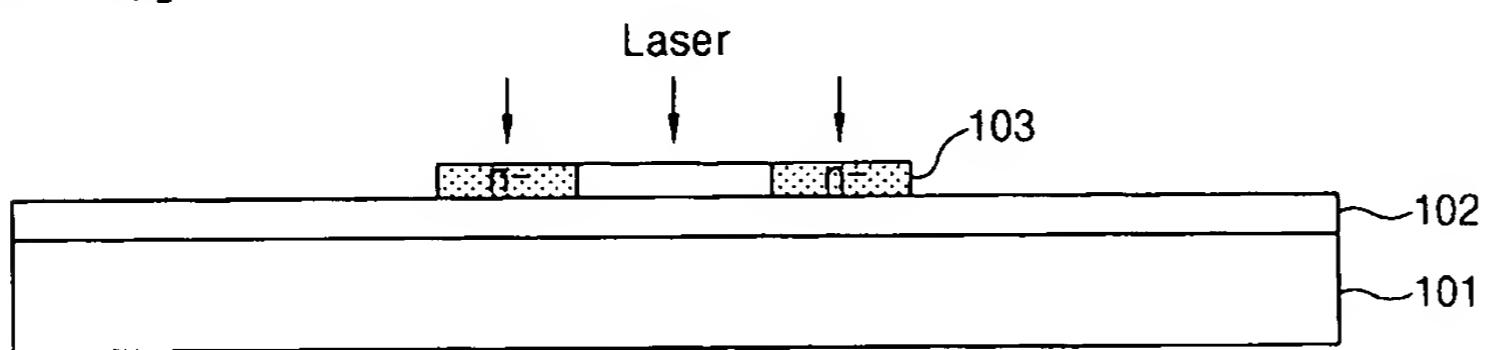
출력 일자: 2003/8/4

【도면】

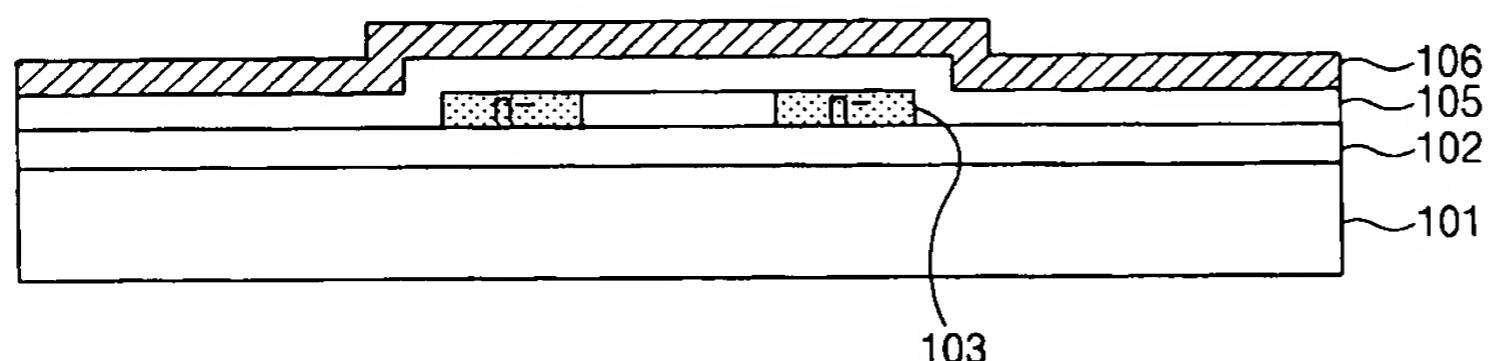
【도 1a】



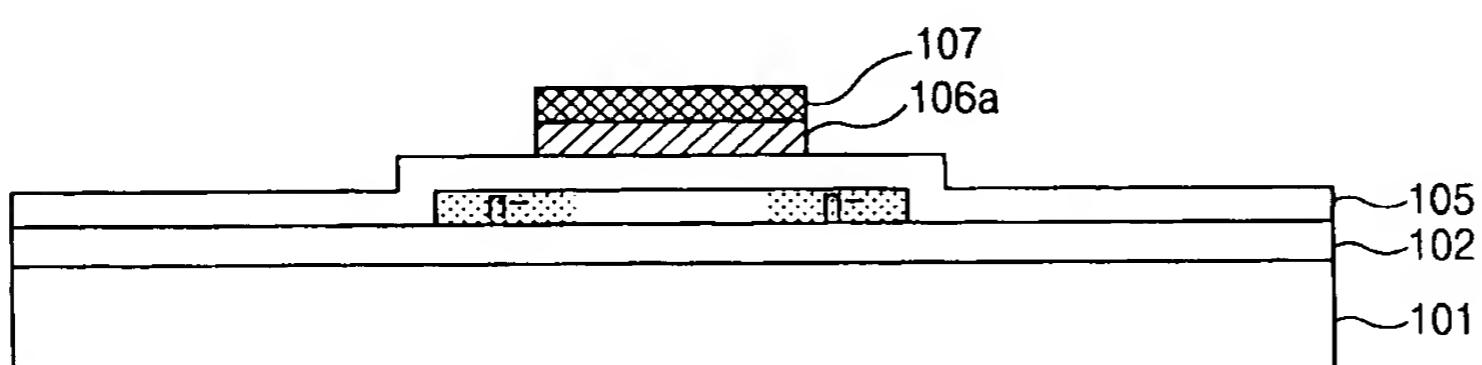
【도 1b】



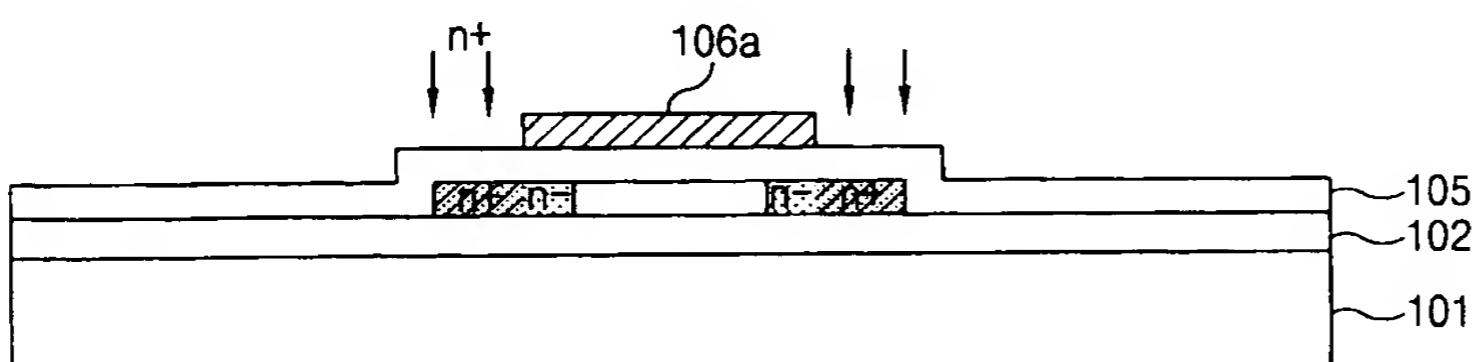
【도 1c】



【도 1d】



【도 1e】

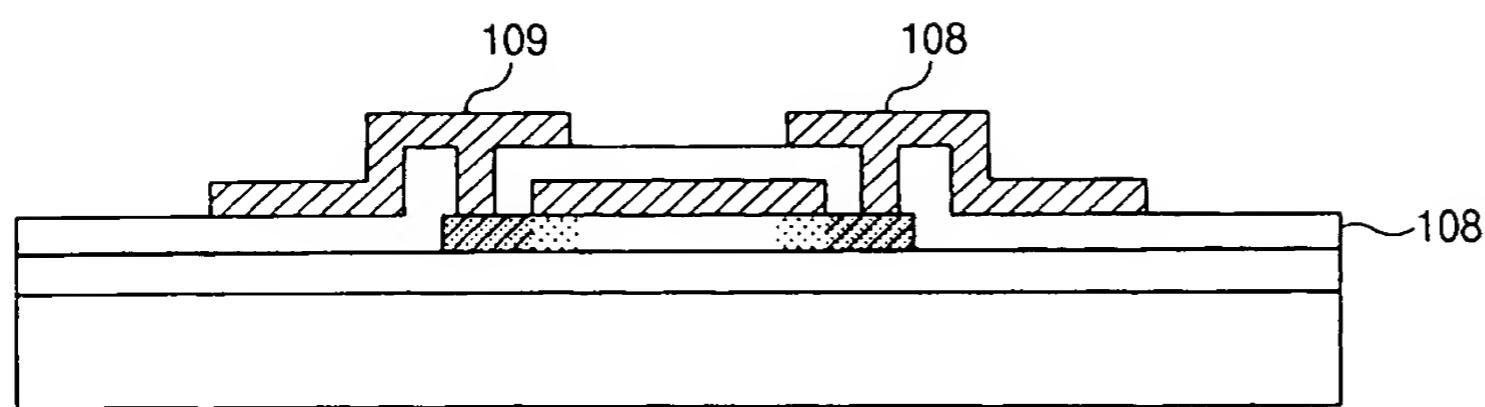




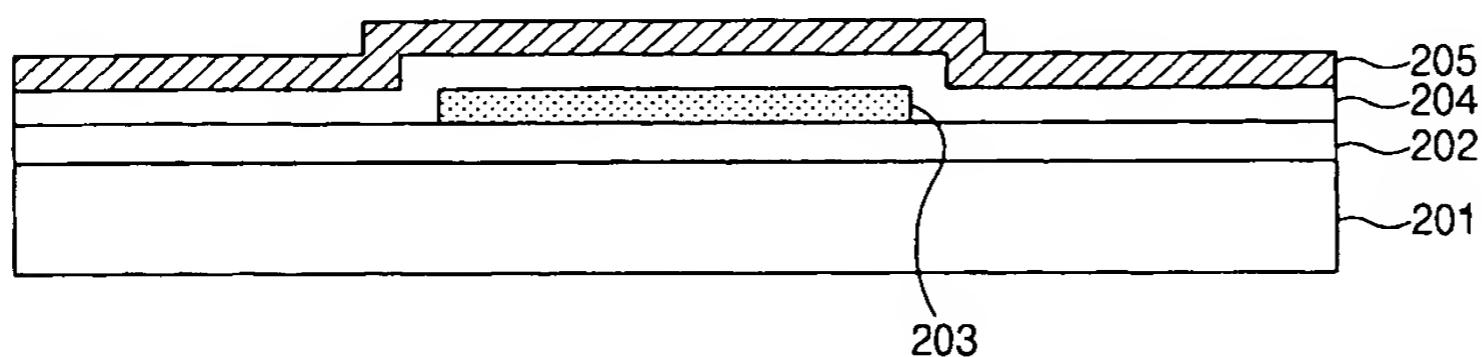
1020030043989

출력 일자: 2003/8/4

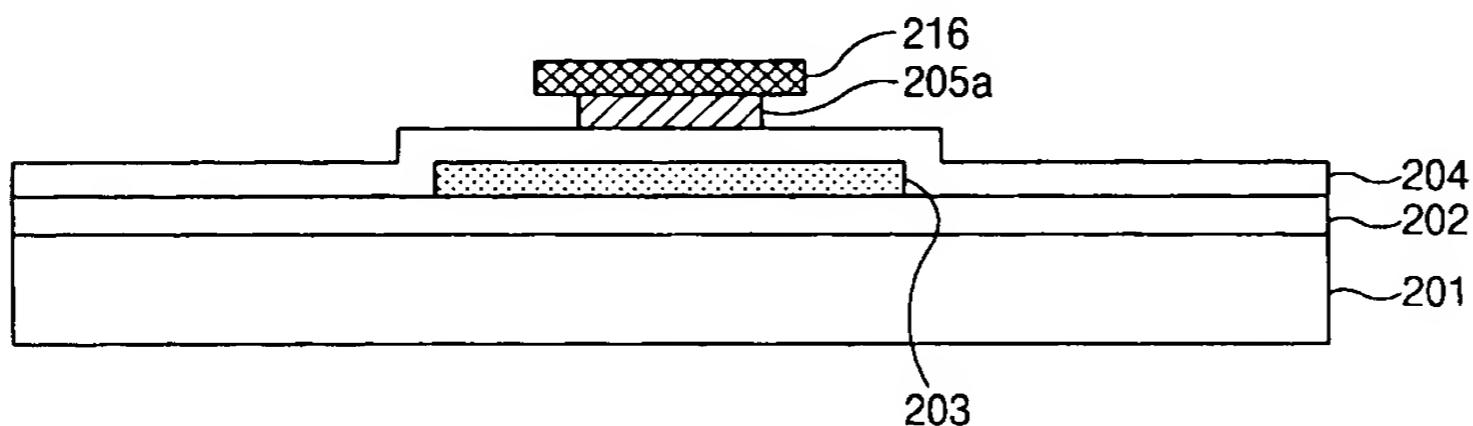
【도 1f】



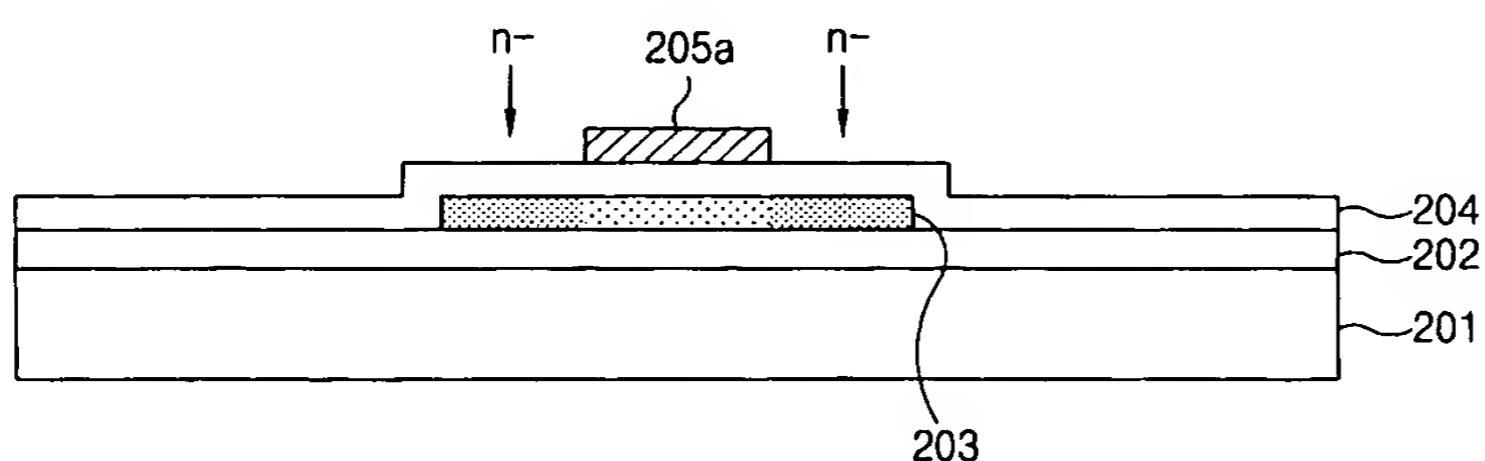
【도 2a】



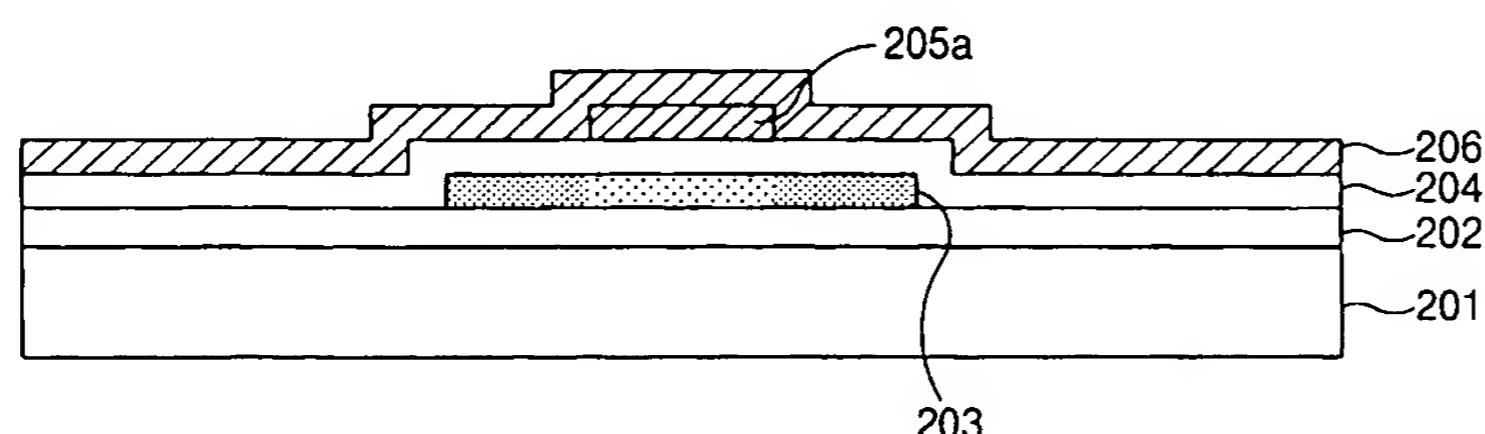
【도 2b】



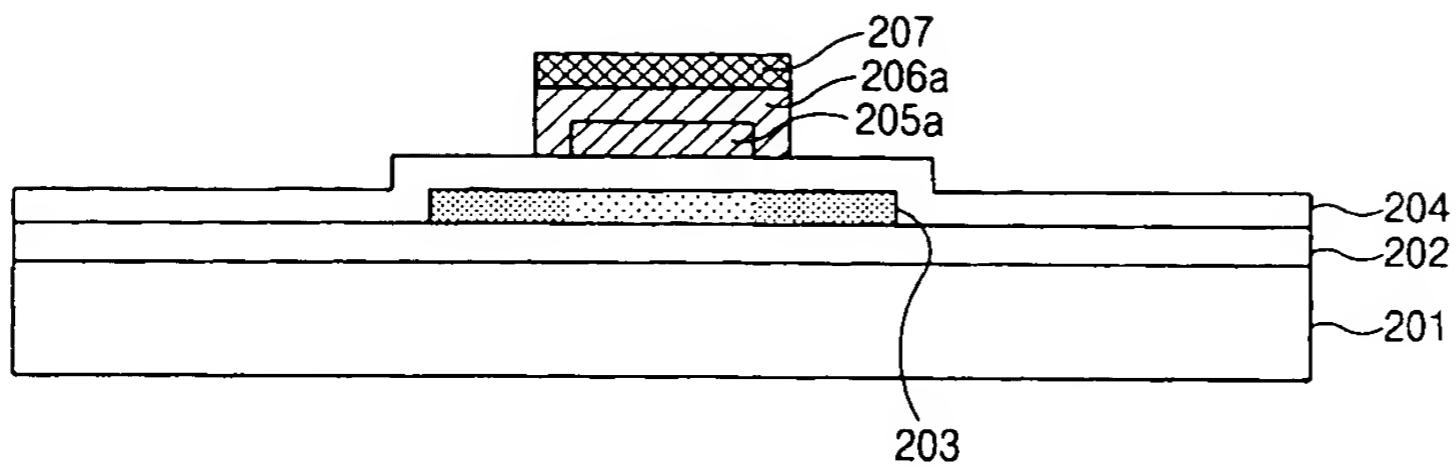
【도 2c】



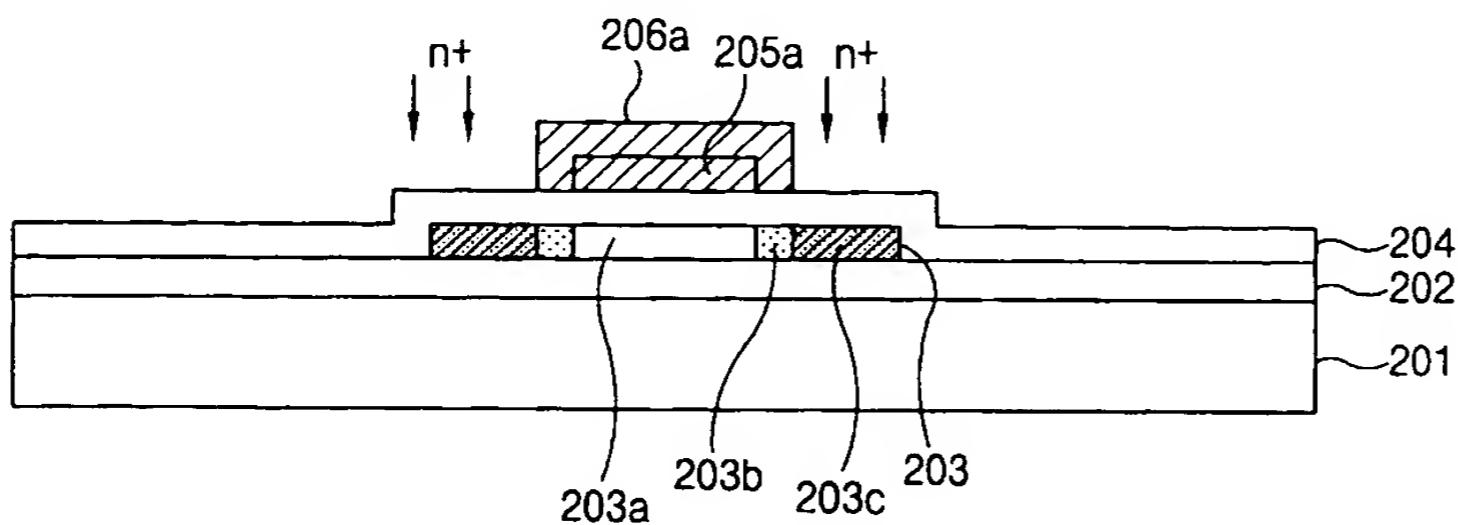
【도 2d】



【도 2e】



【도 2f】



【도 2g】

